

岡山理科大学熱赤外線カメラ ONIcam の読み出し制御システムの開発

大島 修, 本田充彦, 石原琴絵 (岡山理科大学), 宮田隆志, 酒向重行, 上塚貴史, 左近 樹 (東京大学), 片坐宏一 (ISAS/JAXA), 山下卓也, 寺田 宏 (国立天文台)

1. はじめに

岡山理科大学では、日本国内における中間赤外観測の実現を目指し、熱赤外線カメラ **ONIcam** (Okayama University of Science Netsu Infrared Camera) の開発を進めている。本装置は、国立天文台ハワイ観測所の使用済み検出器譲渡事業により貸与される小型観測装置 MIRTOS と、その中間赤外検出器の一つである Raytheon 社製 Si:As 320×240 array を再利用する計画である。

本研究の第一段階は、検出器の安定動作と撮像装置としての立ち上げを実現することであり、本稿では現在新規に開発を進めている**読み出し制御システム**を中心に報告する。

2. Si:As 320×240 array 検出器の概要

本カメラに用いる Si:As 検出器の主な仕様は以下の通りである。

- フルウェル容量：76,800 e⁻
- ピクセルサイズ：50 μm
- 感度波長域：1–28 μm
- 量子効率 (平均)：約 40 %
- ダーク電流：1 e⁻/sec (T=6 K)
- 入力換算雑音：10–50 e⁻ rms
- 動作温度：4–10 K

本検出器は中間赤外領域に広い感度を持ち、国内観測拠点での科学的利用価値は高い。しかし、適切なクロック駆動および多チャンネル同時読み出しに対応した専用回路の開発が不可欠である。

3. 読み出し制御設計の出発点

本システム設計の大きな転機となったのが、特殊電子回路社製高速 ADC ボード **Cosmo-Z** の採用である。Cosmo-Z は Zynq デバイスを中心とした構成を持ち、

- 125 MHz・16 チャンネル ADC (拡張で最大 32ch)
- 512 MByte DDR3 SDRAM
- Dual-core Arm Cortex-A9 (PS 部)
- FPGA (PL 部)

を 1 枚の基板上に統合している。

Zynq は CPU と FPGA を単一チップ内に内蔵するため、

- FPGA 側でリアルタイムクロック生成
- CPU 側で Linux 制御およびデータ処理
- 大容量メモリへの DMA 転送

を 1 系統で実現できる。

これにより、従来必要であった外部ワークステーション、専用制御バス、複数基板構成を大幅に簡素化できる。

4. 読み出し制御システム構成

ONIcam 読み出し制御部の構成は以下の三層から成る。

(1) FPGA (PL 部)

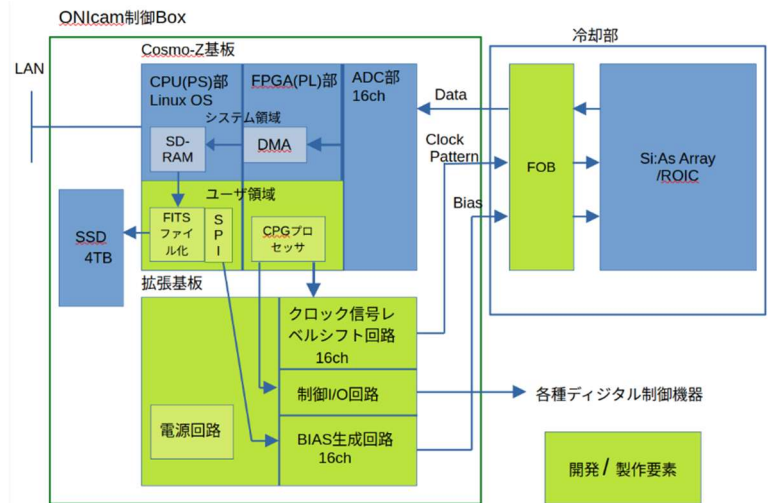
- クロックパターン生成 (CPG) プロセッサを実装
- Verilog HDL により開発
- すばる望遠鏡中間赤外装置 COMICS で使用された Clkgen + cpc とソフト互換
- クロックパターンファイルは 64 KB BRAM 内に格納

(2) CPU (PS 部)

- Ubuntu Linux 上で制御ソフトを動作
- 取得データを FITS 形式へ変換
- 各種制御パラメータ設定

(3) 拡張基板部

- クロック信号レベルシフト回路
- バイアス電圧／電流生成回路
- デジタル I/O 回路



特にハードウェアとして新規に開発するのは、クロック信号レベル変換およびバイアス生成回路を実装した拡張ボード 1 枚のみである。

5. 拡張基板の設計

拡張基板は以下の機能を持つ。

5.1 クロック信号レベルシフト回路

デジタルアイソレータ MAX14430 を使用し、FPGA 出力のクロック信号を負電圧レベルへ変換して ROIC に供給する。

5.2 バイアス生成回路

12bit・16ch DAC (AD5767BCPZ-RL7) を用い、

- 0 ~ -6 V 出力
- 最大 20 mA 出力バッファ

を備えたバイアス供給系を構築した。

5.3 デジタル制御信号入出力

ROIC 制御に必要な各種デジタルラインを実装。

6. 読み出し方式の特徴

本検出器は CMOS 型と同様の読み出し原理を持ち、

- 20×240 ピクセルのストライプを 16 本
- 16 チャンネル ADC で並列読み出し

を行う構造である。

CCD では 1 個の ADC で順次読み出すため時間を要するが、本方式では並列化により高速読み出しが

可能である。一方で、1画素ごとに読み出し雑音が加算されるため、ノイズ評価と最適動作点の探索が重要となる。

7. 現状と今後の展望

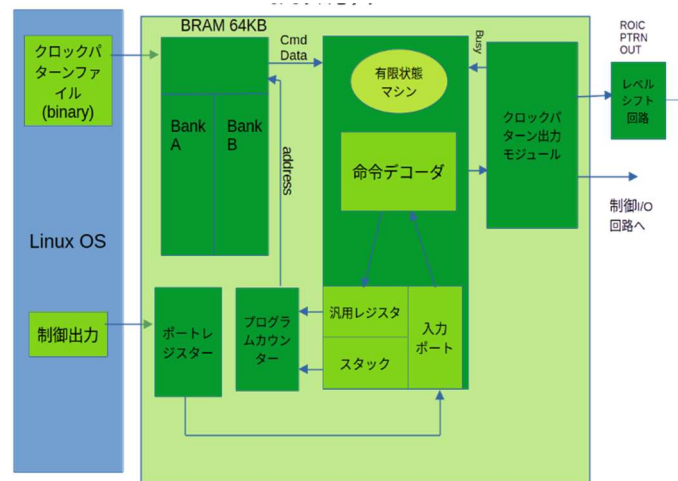
現在は、CPG プロセッサの有限状態マシン構造を整理簡素化し、動作検証とバグ抽出を優先している段階である。

今後の目標は、

- 安定したクロックパターン出力
- バイアス電圧出力の検証
- 常温環境下での ROIC 接続テスト

を完了させることである。

その後、低温環境での実検出器動作試験へ進む計画である。



8. まとめ

本研究では、Zynq ベースの高速 ADC ボード Cosmo-Z を中核とした中間赤外カメラ読み出し制御系を構築した。CPU と FPGA を統合したア

ーキテクチャにより、制御系の大幅な簡素化と柔軟な拡張性を実現している。

国内における中間赤外観測装置の基盤整備として、本開発は重要な技術的ステップであり、今後の観測運用を見据えた高信頼化と低雑音化を進めていく予定である。